

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368127

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

H01L 21/8238

H01L 21/3065

H01L 27/092

(21)Application number : 2002-105154

(71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 08.04.2002

(72)Inventor : HA JAE-HEE

(30)Priority

Priority number : 2001 200118403

Priority date : 06.04.2001

Priority country : KR

(54) DUAL GATE PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a gate oxidized film from being damaged, when overetching is applied in a dual-gate etching process.

SOLUTION: After a gate oxidized film 120 is formed on a semiconductor substrate, with which an active region and a field region are specified by forming a field oxidized film 110, an undoped polysilicon is deposited and after a photoresist mask is formed on the upper part of an undoped polysilicon layer 130 on one side, an N-doped polysilicon region and an undoped polysilicon region are specified by implanting N⁺ ions on the other side of the undoped polysilicon layer 130. Then, a dual-gate mask pattern 155 is formed on the upper part of each of both the polysilicon regions and after the N-doped polysilicon and undoped polysilicon are etched through the etching processes of multiple stages, while using the dual gate mask pattern 155, the dual gate mask pattern 155 is removed.



LEGAL STATUS

[Date of request for examination]

08.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-368127

(P2002-368127A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl.⁷

識別記号

F I

サーチワード(参考)

H 0 1 L 21/8238

H 0 1 L 27/08

3 2 1 D 5 F 0 0 4

21/3065

21/302

1 0 5 A 5 F 0 4 8

27/092

審査請求 有 請求項の数15 O L (全 6 頁)

(21) 出願番号 特願2002-105154(P2002-105154)

(71) 出願人 591024111

(22) 出願日 平成14年4月8日(2002. 4. 8)

株式会社ハイニックス・セミコンダクター

大韓民国京畿道利川市大鉢邑牙美里山136

(31) 優先権主張番号 2 0 0 1 - 1 8 4 0 3

(74) 代理人 100075258

(32) 優先日 平成13年4月6日(2001. 4. 6)

弁理士 吉田 研二 (外2名)

(33) 優先権主張国 韓国 (K R)

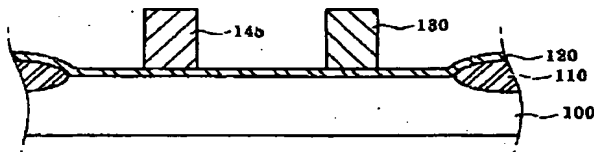
最終頁に続く

(54) 【発明の名称】 半導体素子のデュアルゲート製造方法

(57) 【要約】

【課題】 デュアルゲートエッチング工程において、過度のエッチング時にゲート酸化膜が損傷されることを防止する。

【解決手段】 フィールド酸化膜110を形成してアクティブ領域とフィールド領域とが規定された半導体基板上にゲート酸化膜120を形成した後、アンドーフト・ポリシリコンを蒸着し、アンドーフト・ポリシリコン層130の一侧上部にフォトレジスト・マスクを形成した後、アンドーフト・ポリシリコン層130の他側にN⁺イオンを注入してNドープト・ポリシリコン領域とアンドーフト・ポリシリコン領域を規定し、前記両ポリシリコン領域の上部にデュアルゲート・マスクパターン155を形成し、デュアルゲート・マスクパターン155を用いてNドープト・ポリシリコンとアンドーフト・ポリシリコンとを多段階のエッチング工程を経てエッチングした後、デュアルゲート・マスクパターン155を除去する。



【特許請求の範囲】

【請求項1】 フィールド酸化膜を形成してアクティブ領域とフィールド領域とが規定された半導体基板上にゲート酸化膜を形成した後、アンドーフト・ポリシリコンを蒸着する段階と、

前記アンドーフト・ポリシリコン層の一侧上部にフォトレジスト・マスクを形成した後、アンドーフト・ポリシリコン層の他側にN+イオンを注入してNドーフト・ポリシリコン領域とアンドーフト・ポリシリコン領域を規定する段階と、

前記Nドーフト・ポリシリコン領域とアンドーフト・ポリシリコン領域との上部にデュアルゲート・マスクパターンを形成する段階と、

前記デュアルゲート・マスクパターンを用いてNドーフト・ポリシリコンとアンドーフト・ポリシリコンとを多段階のエッチング工程を経てエッチングした後、デュアルゲート・マスクパターンを除去してデュアルゲートを形成する段階と、
を含むことを特徴とする半導体素子のデュアルゲート製造方法。

【請求項2】 前記多段階のエッチング工程はフッ素を含むガスとハロゲンガスとの混合プラズマを用いて時間エッチングを施す第1エッチング段階と、ハロゲンガスと非活性ガスとを混合してゲート酸化膜が表れる時までエッチングする第2エッチング段階と、ハロゲンガスと非活性ガスとを混合してゲート酸化膜に対する高選択比のエッチング条件下でNドーフト・ポリシリコンとアンドーフト・ポリシリコンを過度エッチングする第3エッチング段階とからなることを特徴とする請求項1記載の半導体素子のデュアルゲート製造方法。

【請求項3】 前記第1エッチング段階はNドーフト・ポリシリコンとアンドーフト・ポリシリコンとの厚さが65～80%程度エッチングされるように時間エッチングを行うことを特徴とする請求項2記載の半導体素子のデュアルゲート製造方法。

【請求項4】 前記第1エッチング段階は2～30mTorr程度の圧力で施すことを特徴とする請求項2記載の半導体素子のデュアルゲート製造方法。

【請求項5】 前記フッ素を含むガスは CF_4 、 CHF_3 、 C_2F_6 、 C_3F_8 、及び C_4F_8 ガスのうち、少なくとも一つ以上のガスであることを特徴とする請求項2記載の半導体素子のデュアルゲート製造方法。

【請求項6】 前記フッ素を含むガスは総流量に対して5～25%程度になるように使用することを特徴とする請求項2または請求項5記載の半導体素子のデュアルゲート製造方法。

【請求項7】 前記第2エッチング段階と第3エッチング段階で使われる非活性ガスはHe、Ar、 N_2 、及び O_2 ガスのうち、少なくとも一つ以上のガスであることを特徴とする請求項2記載の半導体素子のデュアルゲート製造方法。

ト製造方法。

【請求項8】 前記非活性ガスの添加量は第2エッチング段階より第3エッチング段階で多いことを特徴とする請求項2または請求項7記載の半導体素子のデュアルゲート製造方法。

【請求項9】 フィールド酸化膜を形成してアクティブ領域とフィールド領域とが規定された半導体基板上にゲート酸化膜を形成した後、アンドーフト・ポリシリコンを蒸着する段階と、

前記アンドーフト・ポリシリコン層の一侧上部にフォトレジスト・マスクを形成した後、アンドーフト・ポリシリコン層の他側にN+イオンを注入してNドーフト・ポリシリコン領域とアンドーフト・ポリシリコン領域とを規定する段階と、

前記Nドーフト・ポリシリコン領域とアンドーフト・ポリシリコン領域との上部にデュアルゲート・マスクパターンを形成する段階と、

前記デュアルゲート・マスクパターンを用いてフッ素を含むガスとハロゲンガスとの混合プラズマを用いて時間エッチングを施す第1エッチング段階と、

前記デュアルゲート・マスクパターンを用いてハロゲンガスと非活性ガスとを混合してゲート酸化膜が表れる時までエッチングする第2エッチング段階と、

前記デュアルゲート・マスクパターンを用いてハロゲンガスと非活性ガスとを混合してゲート酸化膜に対する高選択比のエッチング条件下でNドーフト・ポリシリコンとアンドーフト・ポリシリコンとを過度にエッチングする第3エッチング段階と、

前記デュアルゲート・マスクパターンを除去してデュアルゲートを形成する段階と、

を含むことを特徴とする半導体素子のデュアルゲート製造方法。

【請求項10】 前記第1エッチング段階はNドーフト・ポリシリコンとアンドーフト・ポリシリコンとの厚さが65～80%程度エッチングされるように時間エッチングを行うことを特徴とする請求項9記載の半導体素子のデュアルゲート製造方法。

【請求項11】 前記第1エッチング段階は2～30mTorr程度の圧力で施すことを特徴とする請求項9記載の半導体素子のデュアルゲート製造方法。

【請求項12】 前記フッ素を含むガスは CF_4 、 CHF_3 、 C_2F_6 、 C_3F_8 、及び C_4F_8 ガスのうち、少なくとも一つ以上のガスであることを特徴とする請求項9記載の半導体素子のデュアルゲート製造方法。

【請求項13】 上記フッ素を含むガスは、総流量に対して5～25%程度になるように使用することを特徴とする請求項9または請求項12記載の半導体素子のデュアルゲート製造方法。

【請求項14】 前記第2エッチング段階と第3エッチング段階で使われる非活性ガスはHe、Ar、 N_2 、及

び O_2 ガスのうち、少なくとも一つ以上のガスであることを特徴とする請求項9記載の半導体素子のデュアルゲート製造方法。

【請求項15】 前記非活性ガスの量が第2エッチング段階より第3エッチング段階に更に加えられたことを特徴とする請求項9または請求項14記載の半導体素子のデュアルゲート製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子のデュアルゲート製造方法に関するもので、より詳細にはデュアルゲートエッチング工程において、ポリシリコン膜を多段階に分けてエッチングすることにより、ドーフト・ポリシリコンとアンドーフト・ポリシリコンとのエッチング速度及び異方性エッチングプロファイルを同一に維持することができ、それによって後続のエッチング段階で、下部ゲート酸化膜に対するエッチング選択比の差がないので過度のエッチング時ゲート酸化膜が損傷されることを防止できる半導体素子のデュアルゲート製造方法に関するものである。

【0002】

【従来の技術】一般的に、超微細化の半導体素子のゲートはアンドーフト・ポリシリコンを蒸着した後、 N^+ イオン及び P^+ イオンを注入してドーフト・ポリシリコンに形成し、これにレジスト工程とエッチング工程を経てゲートを形成する。

【0003】このように形成したゲートラインは、その幅によって半導体素子の閾値電圧等の素子特性に大きい影響を及ぼすので、その臨界寸法の均一性が要求される。

【0004】また、半導体素子の集積度が増加することに伴ってシリコン基板上に形成されるゲート酸化膜の厚さが100Å程度に低減するので、ゲートポリシリコンに対する高選択比のエッチングが必要である。

【0005】したがって、ドーフト・ポリシリコンをエッチングしてデュアルゲートを形成する際には、そのゲートのエッチング面をできるだけ垂直に維持すると共に高選択比のエッチング環境を造成しなければならないという課題がある。

【0006】一例として、添付した図1aないし図1cを参照して従来の半導体素子のデュアルゲート製造方法を説明する。

【0007】まず、図1aに示すように、フィールド酸化膜3の形成によりアクティブ領域とフィールド領域とが規定された半導体基板1上にゲート酸化膜5を形成した後、アンドーフト・ポリシリコン（不図示）を蒸着する。

【0008】そして、アンドーフト・ポリシリコン層には、領域を分けて N^+ イオンを注入して N^+ イオンでドーフトされたドーフト・ポリシリコン層9とアンドーフト

・ポリシリコン層7に区分する。

【0009】次いで、 N^+ ドーフト・ポリシリコン層9とアンドーフト・ポリシリコン層7上にデュアルゲート・マスクパターン11を形成する。

【0010】そして、図1bに示すように、デュアルゲート・マスクパターン11を用いて N^+ ドーフト・ポリシリコン層9とアンドーフト・ポリシリコン層7にクロールリン/ブロミン及び非活性ガスの混合プラズマを用いてゲート酸化膜3が表れる時までエッチング工程を行ってデュアルゲートを形成する。ところが、エッチング工程時に使うエッチングガスの選択比に限界があるため、 N^+ ドーフト・ポリシリコン層9の側壁が“A”のように過度にエッチングされて、 N^+ ドーフト・ポリシリコン層9とアンドーフト・ポリシリコン層7のエッチング選択比の差によってアンドーフト・ポリシリコン層7がゲート酸化膜5上部に残留する問題があった。

【0011】それで、図1cに示すように、デュアルゲート・マスクパターン11を用いて再びクロールリン/ブロミン及び多量の非活性ガスが混合されたプラズマを用いて高選択比のエッチングの条件下でアンドーフト・ポリシリコン層7を過度にエッチングした後、マスクパターン11を除去してデュアルゲートを形成する。

【0012】

【発明が解決しようとする課題】しかし、過度のエッチング時、アンドーフト・ポリシリコン層7の低いエッチング速度で N^+ ドーフト・ポリシリコン層9領域のゲート酸化膜5に“B”のような激しい損傷が生じる問題があった。

【0013】本発明はこのような問題点を解決するためになられたもので、その目的は、デュアルゲートエッチング工程において、ポリシリコン膜を多段階に分けてエッチングすることにより、ドーフト・ポリシリコンとアンドーフト・ポリシリコンとのエッチング速度及び異方性エッチングプロファイルを同一に維持することができ、それによって後続のエッチング段階で、下部ゲート酸化膜に対するエッチング選択比の差がないので過度のエッチング時ゲート酸化膜が損傷されることを防止できる半導体素子のデュアルゲート製造方法を提供することにある。

【0014】

【課題を解決するための手段】前述の目的を達成するために、本発明の半導体素子のデュアルゲート製造方法は、フィールド酸化膜を形成してアクティブ領域とフィールド領域とが規定された半導体基板上にゲート酸化膜を形成した後、アンドーフト・ポリシリコンを蒸着する段階と、前記アンドーフト・ポリシリコン層の一側上部にフォトリジスト・マスクを形成した後、アンドーフト・ポリシリコン層の他側に N^+ イオンを注入して N^+ ドーフト・ポリシリコン領域とアンドーフト・ポリシリコン領域を規定する段階と、前記 N^+ ドーフト・ポリシリコン

領域とアンドロフト・ポリシリコン領域との上部にデュアルゲート・マスクパターンを形成する段階と、前記デュアルゲート・マスクパターンを用いてNドープト・ポリシリコンとアンドロフト・ポリシリコンとを多段階のエッチング工程を経てエッチングした後、デュアルゲート・マスクパターンを除去してデュアルゲートを形成する段階と、を含むことを特徴とする。

【0015】また、請求項2記載の半導体素子のデュアルゲート製造方法は、前記多段階のエッチング工程はフッ素を含むガスとハロゲンガスとの混合プラズマを用いて時間エッチングを施す第1エッチング段階と、ハロゲンガスと非活性ガスとを混合してゲート酸化膜が表れる時までエッチングする第2エッチング段階と、ハロゲンガスと非活性ガスとを混合してゲート酸化膜に対する高選択比のエッチング条件下でNドープト・ポリシリコンとアンドロフト・ポリシリコンを過度エッチングする第3エッチング段階とからなることを特徴とする。

【0016】また、請求項3記載の半導体素子のデュアルゲート製造方法は、前記第1エッチング段階はNドープト・ポリシリコンとアンドロフト・ポリシリコンとの厚さが65～80%程度エッチングされるように時間エッチングを行うことを特徴とする。

【0017】さらに、請求項4記載の半導体素子のデュアルゲート製造方法は、前記第1エッチング段階は2～30mTorr程度の圧力で施すことを特徴とする。

【0018】さらに、請求項5記載の半導体素子のデュアルゲート製造方法は、前記フッ素を含むガスは CF_4 、 CHF_3 、 C_2F_6 、 C_3F_8 、及び C_4F_8 ガスのうち、少なくとも一つ以上のガスであることを特徴とする。

【0019】さらに、請求項6記載の半導体素子のデュアルゲート製造方法は、前記フッ素を含むガスは総流量に対して5～25%程度になるように使用することを特徴とする。

【0020】また、さらに、請求項7記載の半導体素子のデュアルゲート製造方法は、前記第2エッチング段階と第3エッチング段階で使われる非活性ガスは He 、 Ar 、 N_2 、及び O_2 ガスのうち、少なくとも一つ以上のガスであることを特徴とする。また、さらに、請求項8記載の半導体素子のデュアルゲート製造方法は、前記非活性ガスの添加量は第2エッチング段階より第3エッチング段階で多いことを特徴とする。

【0021】また、請求項9記載の半導体素子のデュアルゲート製造方法は、フィールド酸化膜を形成してアクティブ領域とフィールド領域とが規定された半導体基板上にゲート酸化膜を形成した後、アンドロフト・ポリシリコンを蒸着する段階と、前記アンドロフト・ポリシリコン層の一侧上部にフォトレジスト・マスクを形成した後、アンドロフト・ポリシリコン層の他側にN+イオンを注入してNドープト・ポリシリコン領域とアンドロフト・

ポリシリコン領域とを規定する段階と、前記Nドープト・ポリシリコン領域とアンドロフト・ポリシリコン領域との上部にデュアルゲート・マスクパターンを形成する段階と、前記デュアルゲート・マスクパターンを用いてフッ素を含むガスとハロゲンガスとの混合プラズマを用いて時間エッチングを施す第1エッチング段階と、前記デュアルゲート・マスクパターンを用いてハロゲンガスと非活性ガスとを混合してゲート酸化膜が表れる時までエッチングする第2エッチング段階と、前記デュアルゲート・マスクパターンを用いてハロゲンガスと非活性ガスとを混合してゲート酸化膜に対する高選択比のエッチング条件下でNドープト・ポリシリコンとアンドロフト・ポリシリコンとを過度にエッチングする第3エッチング段階と、前記デュアルゲート・マスクパターンを除去してデュアルゲートを形成する段階と、を含むことを特徴とする。

【0022】

【発明の実施の形態】以下、添付図面を参照して、本発明の好ましい実施例について詳細に説明する。

【0023】図2ないし図6は本発明に係る半導体素子のデュアルゲート製造方法を順次に示す断面図である。

【0024】まず、図2に示すように、フィールド酸化膜110の形成によってアクティブ領域とフィールド領域とが規定された半導体基板100上にゲート酸化膜120を形成する。次に、アンドロフト・ポリシリコン130を蒸着する。

【0025】そして、アンドロフト・ポリシリコン層130の一侧（例えば、右側の半分）上部にフォトレジスト・マスク150を形成した後、アンドロフト・ポリシリコン層130の他側（例えば、左側の半分）にN+イオン140を注入してNドープト・ポリシリコン領域とアンドロフト・ポリシリコン領域とを形成する。

【0026】次いで、図3に示すように、Nドープト・ポリシリコン領域145とアンドロフト・ポリシリコン領域130との上部にデュアルゲート形成のためのデュアルゲート・マスクパターン155をそれぞれ形成する。

【0027】次に、図4に示すように、第1段階ではデュアルゲート・マスクパターン155を用いてフッ素を含むガスとハロゲンガスの混合プラズマ処理で時間エッチングを施す。

【0028】この時、1段階では2～30mTorr程度の圧力を加えてNドープト・ポリシリコン145とアンドロフト・ポリシリコン130の厚さが65～80%程度でエッチングされるように時間エッチングを行う。

【0029】また、フッ素を含むガスは総流量に対して5～25%程度になるように CF_4 、 CHF_3 、 C_2F_6 、 C_3F_8 、及び C_4F_8 ガスのうち、少なくとも一つ以上のガスを使用してエッチングする。

【0030】その結果、フッ素を含むガスとハロゲンガ

スとの混合プラズマでは選択的なエッチング特性が減少してNドーフト・ポリシリコン領域145とアンドーフト・ポリシリコン領域130とのエッチング速度の差が顕著に低減してエッチング速度及び異方性エッチングプロファイルが同一に維持できる。

【0031】そして、図5に示すように、第2段階ではデュアルゲート・マスクパターン155を用いてハロゲンガスと非活性ガスとを混合してゲート酸化膜120が表れる時までエッチングする。

【0032】この時、非活性ガスはHe、Ar、N₂、及びO₂ガスのうち、少なくとも一つ以上のガスを使用することが好ましい。

【0033】次いで、図6に示すように、第3段階ではデュアルゲート・マスクパターン155を用いてハロゲンガスと非活性ガスとを混合してゲート酸化膜120に対して60：1以上の高選択比のエッチング条件下でNドーフト・ポリシリコン145とアンドーフト・ポリシリコン130に過度のエッチングを施す。

【0034】この時、非活性ガスはHe、Ar、N₂、及びO₂ガスのうち、少なくとも一つ以上のガスを使用し、流量は5～15sccm程度の範囲内で2段階より更に加えることが好ましい。

【0035】そして、Nドーフト・ポリシリコン領域145とアンドーフト・ポリシリコン領域130との上部のデュアルゲート・マスクパターン（不図示）を除去してデュアルゲートを形成する。

【0036】

【発明の効果】以上のように、本発明に係る半導体素子のデュアルゲート製造方法では、デュアルゲートエッチング工程において、ポリシリコン膜を多段階に分けてエ

ッチングすることにより、ドーフト・ポリシリコンとアンドーフト・ポリシリコンとのエッチング速度及び異方性エッチングプロファイルを同一に維持することができ、それによって後続のエッチング段階で、下部ゲート酸化膜に対するエッチング選択比の差がないので過度のエッチング時ゲート酸化膜が損傷されることを防止できる。

【0037】また、デュアルゲートの臨界寸法が均一に形成されるので、半導体素子の特性を向上させることができる。

【図面の簡単な説明】

【図1】 図1aないしcは従来半導体素子のデュアルゲート製造方法を順次に示す断面図である。

【図2】 本発明に係る半導体素子のデュアルゲート製造方法を順次に示す断面図である。

【図3】 本発明に係る半導体素子のデュアルゲート製造方法を順次に示す断面図である。

【図4】 本発明に係る半導体素子のデュアルゲート製造方法を順次に示す断面図である。

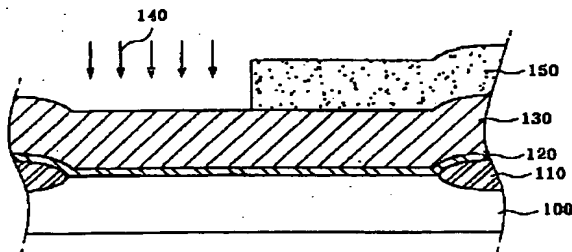
【図5】 本発明に係る半導体素子のデュアルゲート製造方法を順次に示す断面図である。

【図6】 本発明に係る半導体素子のデュアルゲート製造方法を順次に示す断面図である。

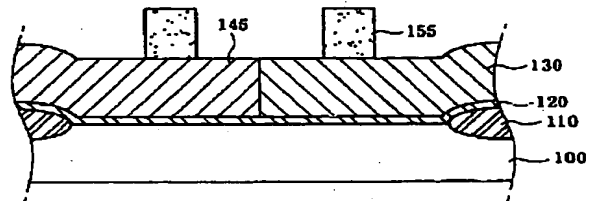
【符号の説明】

100 半導体基板、110 フィールド酸化膜、120 ゲート酸化膜、130 アンドーフト・ポリシリコン層、140 N⁺イオン注入、145 Nドーフト・ポリシリコン層、150 フォトリソグ・マスク、155 デュアルゲート・マスクパターン。

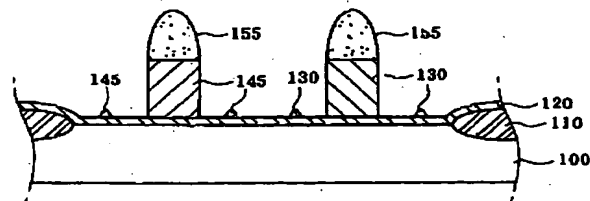
【図2】



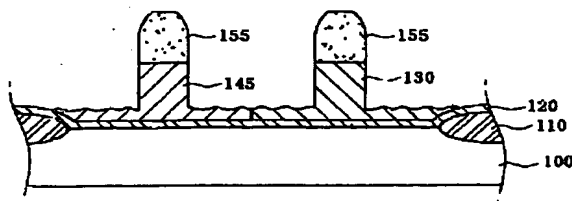
【図3】



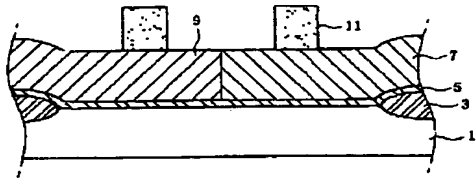
【図5】



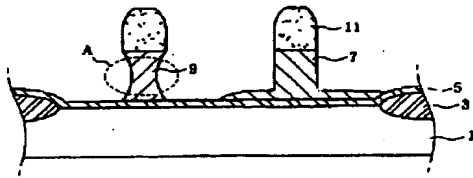
【図4】



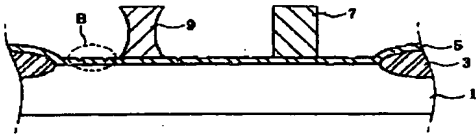
【図1】



(a)

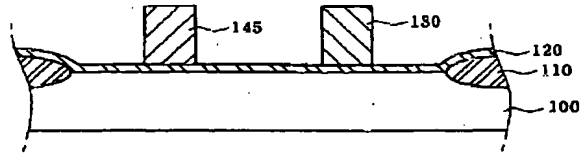


(b)



(c)

【図6】



フロントページの続き

(72)発明者 ジャーヒー ハ
大韓民国 チュンチェオンバクドー チ
ュンジューシ サンダンーグ ヨンガンー
ドン ガンヨン アパートメント 106ー
706 360-770

Fターム(参考) 5F004 AA06 CA01 DA00 DA01 DA02
DA03 DA16 DA22 DA23 DA25
DA26 DB02 EA28 EB02
5F048 AA01 AA09 AB03 AC03 BA01
BB05 BB06 BG12